

DCIV 技术提取辐照前后 PDSOI 器件背栅界面态密度

王芳芳^{1,2,3}, 曾传滨^{1,3}, 李晓静^{1,3}, 高林春^{1,3}, 罗家俊^{1,3}, 韩郑生^{1,2,3}

(1 中国科学院 微电子研究所, 北京 100029; 2 中国科学院大学, 北京 100029;

3 中国科学院 硅器件技术重点实验室, 北京 100029)

摘 要: 直流电流电压(DCIV)技术受应用于智能剥离技术制造的 PDSOI 中硅/二氧化硅界面质量的研究. 本文通过将样品进行钴 60 伽马射线辐照, 用以监测 PDSOI 器件背沟道界面在总剂量辐照前后的变化情况. 本文给出了完整的测试原理、实验流程和结果分析, 不仅提取了辐照前后 PDSOI 器件的背界面陷阱密度以及它所在的等效能级, 而且得到了界面陷阱能级密度在硅禁带中随能级变化的 U 型分布图(以禁带中央附近为主), 为后续 PDSOI 器件的抗辐照加固提供了参考.

关键词: 直流电流电压方法; PDSOI 器件; 总剂量效应; 背沟道; 界面态; 钴 60 伽马射线

中图分类号: TN386.1

文献标识码: A

文章编号: 1000-7180(2018)07-0092-05

DCIV Technique for Extracting BackGate Interface Traps Density in Non-irradiated and Irradiated PDSOI Devices

WANG Fang-fang^{1,2,3}, ZENG Chuan-bin^{1,3}, LI Xiao-jing^{1,3}, GAO Lin-chun^{1,3},
LUO Jia-jun^{1,3}, HAN Zheng-sheng^{1,2,3}

(1 Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academy of Sciences, Beijing 100029, China;

3 Key Laboratory of Silicon Device Technology, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: Direct Current Current Voltage(DCIV) technique has been applied to study the Si-film/SiO₂ interface quality of Partially Depleted SOI that were fabricated on a SMART-CUT wafer. the samples were exposed to Co-60 gamma rays irradiation to monitor the development of PDSOI back-channel interface states. The paper gives the integrated measurement mechanism, experiment flow and result analysis, then it can not only obtain the back-channel interface trap density and its equivalent energy level, but also can calculate the u-shape map (mainly in near the center of the silicon forbidden zone) of the interfacial trap energy density with the change of energy level in the silicon forbidden zone, which provides reference for the enhancing of PDSOI devices.

Key words: direct current current voltage method; PDSOI devices; total dose effect; back-channel; interface traps; Co-60 gamma rays

1 引言

基于 SOI 制造工艺的器件及电路在航天领域得到越来越多的应用, 相比于体硅工艺, 它不仅具有寄生电容小、集成密度高、速度快、功耗低、无闩锁等优势, 而且抗单粒子辐射和瞬时剂量率效应的效果

更好^[1]. 然而, 埋氧层(BOX)的存在使得 SOI 器件的电离总剂量效应比体硅器件复杂, 尤其是随着器件特征尺寸进入纳米级, 辐射对薄的前栅氧化层影响较小, 例如, 在薄栅氧 H 型栅 SOI 器件中, 辐射对前栅氧和场氧隔离层的影响都能得到抑制, 埋氧层及其界面质量的退化就成为了主要的问题. 因为

SOI 器件的特殊结构,传统测量界面陷阱密度的方法,如电荷泵法^[2,3]、电导法^[4]以及电容电压法^[5]等,对 SOI 器件的界面,尤其是较厚背栅氧的界面不再灵敏,而且这些方法提取的是界面陷阱的平均密度,不能具体表征界面陷阱在整个硅禁带中随能级的密度分布。基于复合理论的直流电流电压法(DCIV)采用直流偏压,避免了其他方法的交流动态问题,已经成功应用于 SOI 器件界面态密度的提取^[6]。本文基于 DCIV 的理论及测试方法,对总剂量辐照前后及高温退火后 PDSOI 器件的背栅界面态密度进行了测试并分析其结果。

2 原理分析

总剂量效应在器件界面处产生缺陷的微观过程如图 1 所示,辐射在二氧化硅层中产生电子-空穴对,除了少部分复合外,电子迁移率大,很快穿过氧化层,空穴迁移率小,从氧化层输运到界面的过程中,会和氢原子产生氢正离子,然后在界面和硅氢键反应形成 Pb 缺陷($\equiv\text{Si}\cdot$),氢原子也可以直接和硅氢键形成 Pb 缺陷,Pb 缺陷是辐射在硅/二氧化硅界面引起的主要界面态。反应式为:

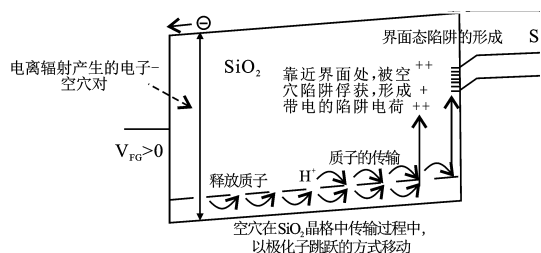
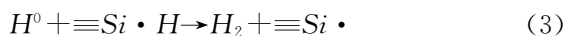


图 1 总剂量效应对器件影响的微观过程示意图^[7]

利用 DCIV 方法测试 PDSOI MOS 器件背界面陷阱的接线方式如图 2 所示,器件体端置零电位,测量体电流,源/漏两端相对于体端加相同的正向偏压。测试过程中保持前栅(V_{FG})处于反型区域^[8],这样,源/漏与前栅反型层形成通路,与体端形成一个 P-N 结。当扫描背栅压(V_{BG})使得背沟道处于耗尽状态时,界面陷阱被激活,体区的多子与从源、漏两端注入的少子在背栅界面处通过界面陷阱产生复合电流。体端的电流将出现一个明显的峰值,峰值与基线值的差值大小反应了界面态密度的多少。如图 3 所示为经过 100 Krad(Si)辐照后,宽长比为 $W/L=50\mu\text{m}/20\mu\text{m}$ 的 PDSOI NMOS 的背沟体电流随背

栅压的变化情况。

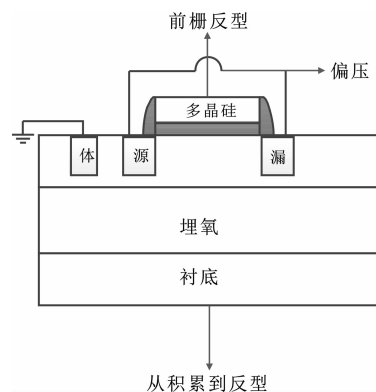


图 2 测量 PDSOI 器件背栅界面陷阱原理图

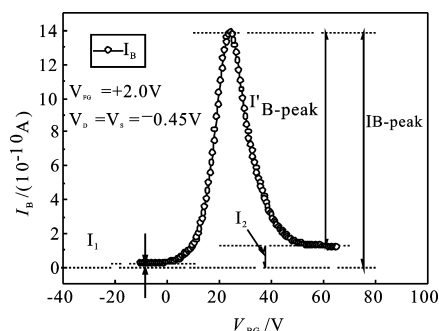


图 3 经过 100 Krad(Si)辐照后, $W/L=50\mu\text{m}/20\mu\text{m}$ 的 PDSOI NMOS 的 I_B-V_{BG} 曲线

在图 3 中,当背栅偏置为积累区时,体电流的基线值 I_1 由漏/源-体结及前栅耗尽层的复合电流构成;当背栅偏置为耗尽区时,体电流的峰值 $I_{B-\text{peak}}$ 由漏/源-体结、前栅耗尽层、背沟耗尽层和背沟界面态的复合电流构成;当背栅偏置为反型区时,体电流的基线值 I_2 为源/漏-体结、前栅耗尽层和背栅耗尽层的复合电流,以及很小的正向偏置 P-N 结扩散电流构成。其中,由背沟界面态形成的复合电流 $I_{B-\text{Peak}} = I_{B-\text{peak}} - I_2$,根据 SRH 复合理论,可以推算出界面复合电流最大值函数式^[6]为:

$$I'_{B-\text{Peak}} = \frac{qAn_i(c_{ns}c_{ps})^{1/2}N_{IT}[\exp(\frac{qV_{PN}}{kT}) - 1]}{2 \cdot [\exp(\frac{qV_{PN}}{2kT}) + \cosh(\frac{E_{IT}}{kT})]} \quad (4)$$

式中, q 为元电荷的电荷量; A 为硅/二氧化硅界面面积,若界面态分布均匀,界面面积近似为器件版图的宽长之积; n_i 为本征载流子浓度,近似为 10^{10}cm^{-3} ; c_{ns}, c_{ps} 为电子和空穴的俘获率系数,可假定两者相等,即 $c_{ns} = c_{ps} = 10^{-8}\text{cm}^{-3}$; N_{IT} 为界面态面密度; V_{PN} 为源/漏-体偏置电压; k 为波尔兹曼常数; T 为热力学温度; E_{IT} 为陷阱在硅禁带中的位置,

即界面态能级 E_T 与禁带中央能级 E_I 的差值,硅禁带大小为 1.12 eV,所以 $-0.56 \text{ eV} < E_{TI} < 0.56 \text{ eV}$. 综上,通过实验测得界面复合体电流峰值 $I_{B-\text{peak}}$,可以获得界面态面密度 $N_{IT} (\text{cm}^{-2})$ 及其在硅禁带中的位置 E_{TI} .

界面陷阱产生复合电流最大值的另一种推导公式^[9]可表示为:

$$I'_{B-\text{peak}} = \frac{qn_i A}{2} N_{eff} (c_{ns} c_{ps})^{1/2} \left[\exp\left(\frac{qV_{PN}}{2kT}\right) - 1 \right] \quad (5)$$

这里,误差允许范围内, N_{eff} 可表示为:

$$\begin{aligned} N_{eff} = & F(V_{PN}, 0) \alpha_0^2 + F(V_{PN}, 2) \cdot 2\alpha_0 \alpha_2 + \\ & F(V_{PN}, 4) \cdot (2\alpha_0 \alpha_4 + \alpha_2^2) + \\ & F(V_{PN}, 6) \cdot 2(\alpha_0 \alpha_6 + \alpha_2 \alpha_4) + \\ & F(V_{PN}, 8) \cdot (2\alpha_2 \alpha_6 + \alpha_4^2) + \\ & F(V_{PN}, 10) \cdot 2\alpha_4 \alpha_6 + F(V_{PN}, 12) \cdot \alpha_6^2 \end{aligned} \quad (6)$$

式中,

$$\begin{aligned} F(V_{PN}, n) = & \int_{-0.56}^{0.56} \left[\exp\left(\frac{qV_{PN}}{2kT}\right) + 1 \right] \cdot \left[\exp\left(\frac{qV_{PN}}{2kT}\right) + \right. \\ & \left. \cosh\left(\frac{E_{TI}}{kT}\right) \right]^{-1} E_{TI} dE_{TI} \end{aligned} \quad (7)$$

式中, n 是级数展开项; $N_{eff} (\text{cm}^{-2})$ 为有效界面陷阱面密度. 界面陷阱能级密度 $D_{IT} (\text{cm}^{-2} \text{eV}^{-1})$ 关于陷阱位置 E_{TI} 的函数为:

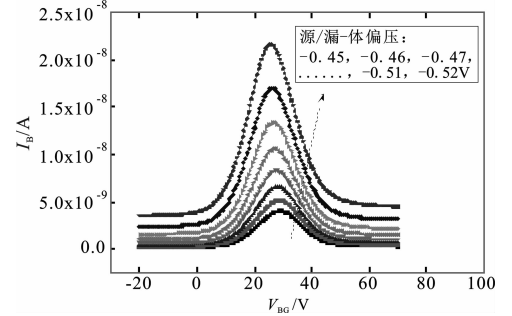
$$D_{IT}(E_{TI}) = (\alpha_0 + \alpha_2 E_{TI}^2 + \alpha_4 E_{TI}^4 + \alpha_6 E_{TI}^6)^2 \quad (8)$$

综上,将不同 V_{PN} 下测得的 DCIV 复合体电流 $I_{B-\text{Peak}}$ 代入方程(5),求出对应的有效界面陷阱面密度 N_{eff} ,将 N_{eff} 与方程(6)和(7)做最小二乘拟合,将得到的拟合参数 $\alpha_0, \alpha_2, \alpha_4, \alpha_6$ 代入方程(8)可以得到界面陷阱能级密度 D_{IT} 关于 E_{TI} 的表达式.

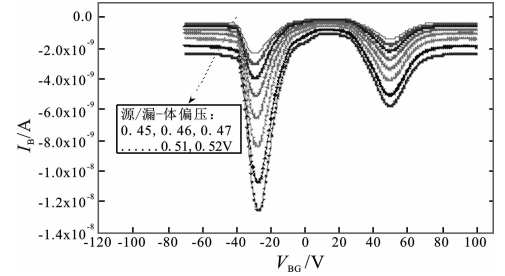
3 实验

本次实验采用基于智能剥离技术 (SMART-CUT) 的 $0.18 \mu\text{mSOI}$ 工艺制造的部分耗尽 H 型栅 NMOS 和 PMOS 器件为测试对象,沟道宽、长分别为 $50 \mu\text{m}$ 和 $20 \mu\text{m}$,BOX 厚度为 400 nm ;辐照和测试温度均为室温 25°C ,退火温度为高温 100°C ,时间为 168 小时;辐射源为钴 60 伽马射线,剂量率为 $50 \text{ rad}(\text{Si})/\text{s}$,本文的剂量单位均为 $\text{rad}(\text{Si})$,器件辐照时的偏置为 ON 态(栅端为 3.3 V ,其他端均为 0 V). 器件辐照前后均采用 KEITHLEY 4200-SCS 半导体参数分析仪进行测试,所有辐照测试均在辐照后两小时内完成,实验样品均为裸片.

为了使测量结果更加准确,按照图 1 的接线方式,源/漏-体偏电压每隔 0.01 V 改变一次,范围从 $\pm 0.45 \text{ V}$ 一直测到 $\pm 0.52 \text{ V}$ (NMOS 管: $-0.45 \sim -0.52 \text{ V}$; PMOS 管相反). 如图 4 所示为不同源/漏-体偏压下,辐照前背栅体电流随背栅压变化情况.



(a) NMOS

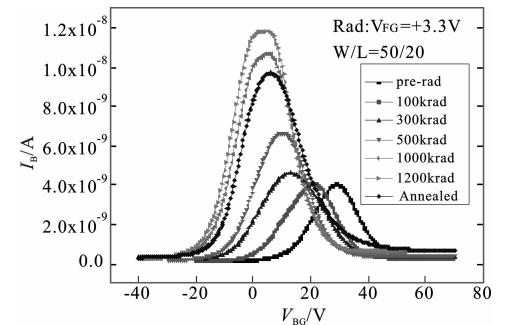


(b) PMOS

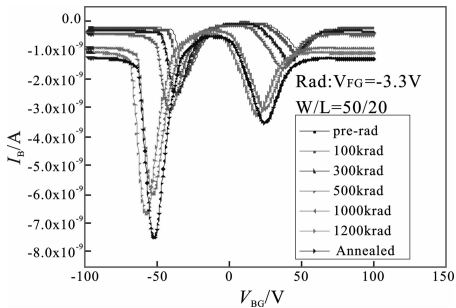
图 4 辐照前(a)NMOS 和(b)PMOS 背栅体电流随背栅压的变化情况

图 5 所示各剂量辐照后的器件源/漏-体结偏置为 $\pm 0.45 \text{ V}$ (NMOS 管为 -0.45 V ; PMOS 管为 0.45 V) 时的体电流随背栅压的变化情况. 从图中可以看出随着辐照剂量的增加,体电流的峰值 $I_{B-\text{Peak}}$ 增加,并且峰值的位置左移,这表明随着剂量的增加,背栅界面陷阱增多,辐照在氧化层中产生正陷阱电荷(空穴)导致 NMOS 的阈值电压降低,PMOS 的阈值电压绝对值升高,与预期情况相符.

源/漏-体结偏置为 $\pm 0.45 \text{ V}$ 时的体电流随背栅压的变化情况

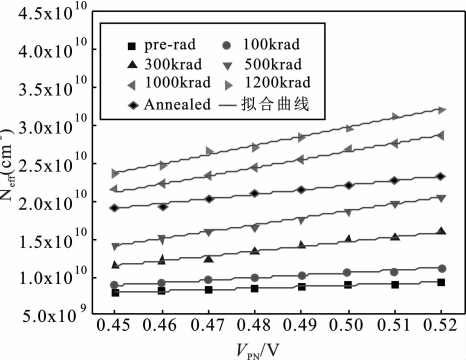


(a) NMOS

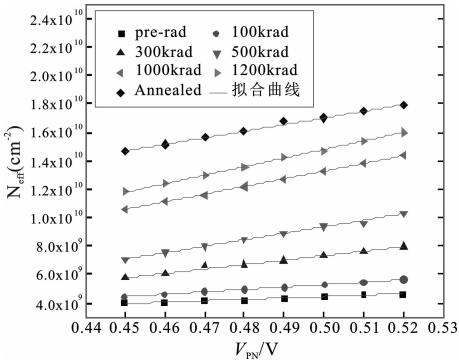


(b)PMOS

图 5 各剂量辐照后的器件(a)NMOS 和(b)PMOS



(a)NMOS



(b)PMOS

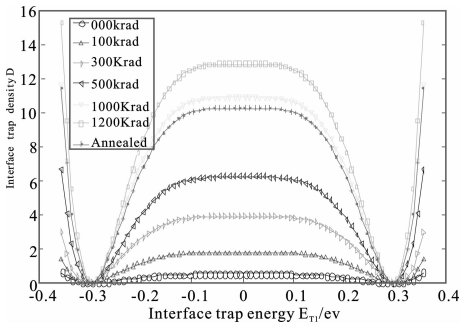
图 6 (a)NMOS 和(b)PMOS 实验计算

N_{eff} 值与方程(6)拟合曲线

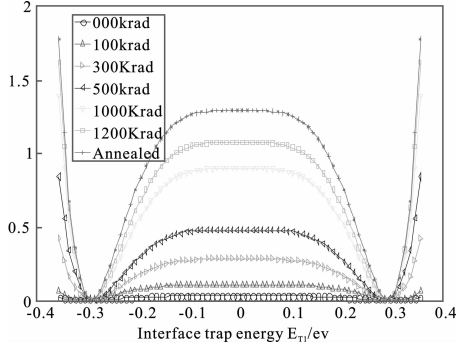
将不同源 / 漏 - 体偏压下界面态引起的复合电流 I_{B-Peak} 代入公式(5) 计算出相应的 N_{eff} , 再将得到的有效界面陷阱面密度 N_{eff} 与公式(6) 和(7) 作最小二乘拟合, 拟合曲线如图 6 所示. 将拟合获取的参数 α_0 、 α_2 、 α_4 、 α_6 代入公式(8), 作出界面的 D_{IT} 在硅禁带中随能级的分布(以禁带中央附近为主), 如图 7 所示.

由图 7 可知禁带中央附近 D_{IT} 的量级从辐照前的 $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 增加到辐照后的 $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$, 与 R. K. Lawrence 等人^[8] 测试结果吻合. 由于源 / 漏-体偏压比较集中, 得到的复合电流大, 因此, 结果比较可靠.

将辐照前后器件在不同偏压下的 I_{B-Peak} 与方程(4) 进行拟合, 拟合曲线如图 8 所示, 得到界面态面密度



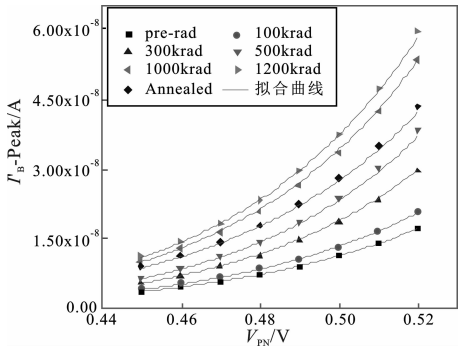
(a)NMOS



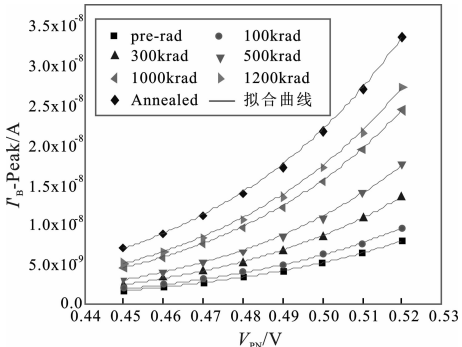
(b)PMOS

图 7 器件(a)NMOS 和(b)PMOS 辐照前后界面陷阱的能级分布图

$N_{IT}(\text{cm}^{-2})$ 和等效能级 E_{IT} 如表 1 和图 9 所示.



(a)NMOS



(b)PMOS

图 8 (a)NMOS 和(b)PMOS 实验测试值

I_{B-Peak} 与方程(4) 拟合曲线

表 1 拟合结果

	NMOS		PMOS	
辐照剂量 Krad(Si)	$N_{IT} (cm^{-2})$	$E_{IT} (eV)$	$N_{IT} (cm^{-2})$	$E_{IT} (eV)$
000	5.51×10^{10}	0.211	2.76×10^{10}	0.216
100	1.82×10^{11}	0.211	9.10×10^{10}	0.215
300	3.91×10^{11}	0.209	1.91×10^{11}	0.213
500	6.33×10^{11}	0.206	3.42×10^{11}	0.210
1 000	1.14×10^{12}	0.199	8.24×10^{11}	0.204
1 200	1.33×10^{12}	0.198	9.42×10^{11}	0.201
Annealed	1.12×10^{12}	0.198	1.08×10^{12}	0.199

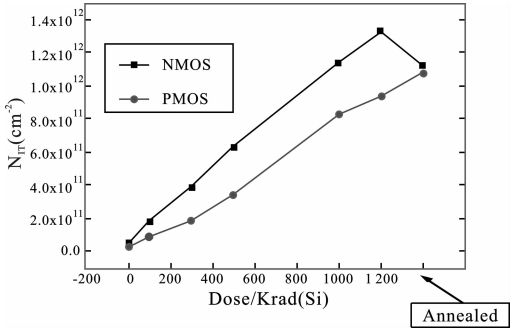


图 9 辐照前后器件界面陷阱面密度随剂量的变化

4 结束语

本文将 DCIV 方法应用于辐照前后部分耗尽(PD) SOI 器件背栅界面陷阱密度的提取. 结果显示辐照前器件背界面陷阱能级密度量级为 $1.010 \text{ cm}^{-2} \text{ eV}^{-1}$,随着辐照剂量的增加,器件的背界面陷阱能级密度逐渐增加,当到达 1 000 Krad(Si)时,其数量级达到 $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$,且近似为线性增加,与 R. K. Lawrence 等人测试的结果一致. 等效界面陷阱面密度的能级随着剂量增加未发生大的变化,均在远离禁带中央大约 0.2eV 左右,这符合其他实验^{[10][11]}证明的辐射主要引起距离禁带中央附近(有效复合能级)位置的界面态增加的结论. 相比于传统方法,如电荷泵法、电容电压法等只能测得硅禁带平均界面态密度,而 DCIV 方法则能提取到界面态能级密度在硅禁带中央附近位置的具体分布. 另外,两者测得的结果大小可能会有差异,这是因为它们基于不同的理论基础. 鉴于该方法能用来监控 SOI 器件在辐照、热载流子等应力导致的背界面陷阱密度的改变,进而可以为 SOI 器件背界面质量的加固提供有效的参考.

参考文献:

[1] 韩郑生. 抗辐射集成电路概论[M]. 北京:清华大学出

版社, 2010:70-72.

[2] Zhang E X, Fleetwood D M, Duan G X. Charge pumping measurements of radiation-induced interface-trap density in floating-body SOI FinFETs [J]. IEEE Transactions on Nuclear Science, 2012, 59 (6): 3062-3068.

[3] Groesene K, Maes H E, Beltran N. A reliable approach to charge-pumping measurements in MOS transistors [J]. IEEE Transaction Electron Devices, 1984, 31 (1): 42-53.

[4] Nicollian E H, Brews J R. MOS Physics and Technology [M]. New York:John Wiley, 1982:127-164.

[5] 郭维廉. 硅-二氧化硅界面物理[M]. 北京:国防工业出版社,1982:122-161.

[6] 赵洪利,高林春,曾传滨等. 部分耗尽 SOI 器件背栅界面陷阱密度的提取[J]. 微电子学, 2015, 45 (6): 817-820.

[7] Barnaby H J. Total-ionizing-dose effects in modern CMOS technologies [J]. IEEE Transactions on Nuclear Science, 2006, 53(6): 3103-3121.

[8] Lawrence R K, Ioannou D E, Jenkins W C, et al. Gated-Diode characterization of the back-channel interface on irradiated SOI wafers [J]. IEEE Transactions on Nuclear Science, 2001, 48(6): 2140-2145.

[9] 赵洪利,高林春,曾传滨等. DCIV 技术表征 MOS/SOI 界面陷阱能级密度分布[J]. 半导体检测与设备, 2015, 40(1): 63-67.

[10] Stahlbush R. E., Mrstik B. J., Lawrence R. K. Post-irradiation behavior of the interface-state density and the trapped positive charge [J]. IEEE Trans. Nucl. Sci,1990(37):1641-1649.

[11] Ma T P, Dressendorfer P V. Ionizing radiation effects in MOS devices and circuits [M]. New York: Wiley, 1989.

作者简介:

王芳芳 女,(1991-),硕士研究生. 研究方向为总剂量辐照对 PDSOI 器件界面态/寿命的影响研究.

曾传滨 男,(1979-),研究员,硕士生导师. 研究方向为 SOI CMOS 器件及电路.

李晓静 女,(1989-),助理研究员. 研究方向为抗辐射加固及静电防护.

高林春 男,(1985-),助理研究员. 研究方向为抗辐射加固及前沿测试设备研究.

韩郑生 男,(1962-),研究员. 研究方向为集成电路技术的研究.

罗家俊(通讯作者) 男,(1973-),研究员,博士生导师. 研究方向为可靠性集成电路与器件设计技术.

E-mail:luojj@ime.ac.cn.